Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Кафедра конструювання електронно - обчислювальної апаратури

**Лабораторна робота №1**

З курсу «Апаратні прискорювачі обчислень на мікросхемах програмованої логіки»

**На тему**:  
«Розрахунок функції»

**Виконав**: Овейчик Володимир

Студент 2-го курсу ФЕЛ

Гр. ДК-01

**Дата виконання: 11.10.22**

Київ - 2022

**1. В Simulink реалізувати підсистему, що розраховує функцію:**

Y = W0\*X0 + W1\*X1 + W2\*X2 + W\*X3

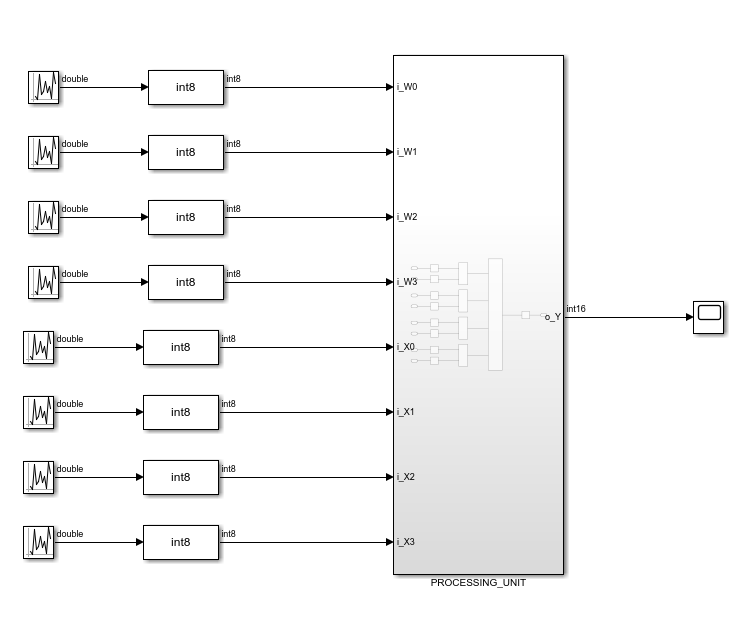


Схема пристрою

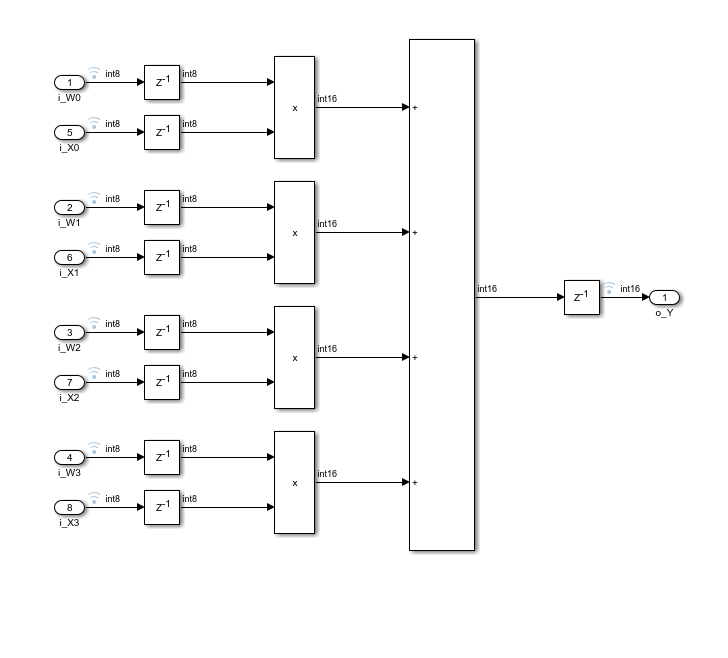
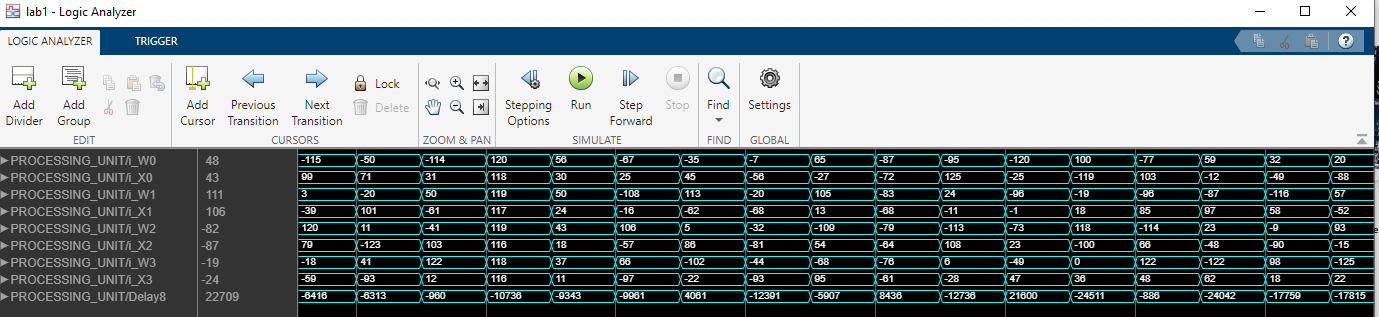
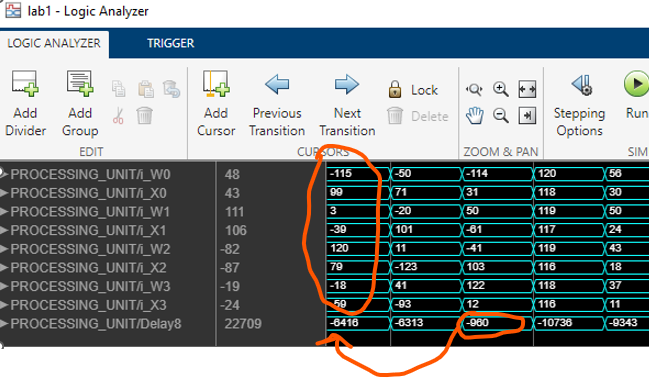


Схема блоку PROCESSING\_UNIT



Результат праці схеми

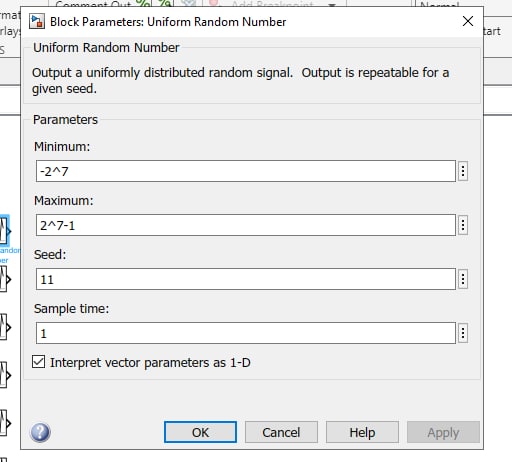
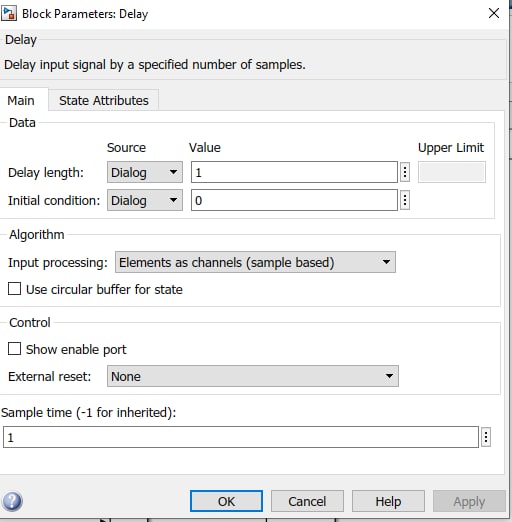
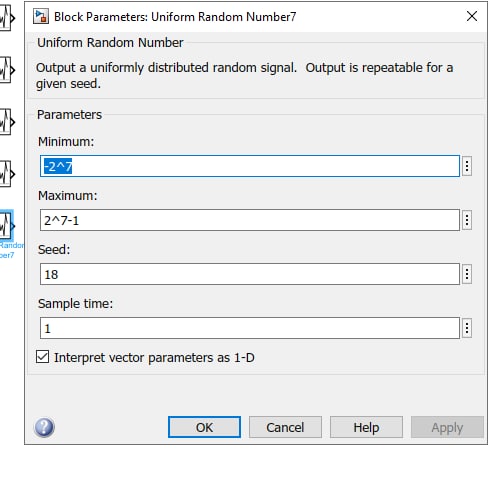


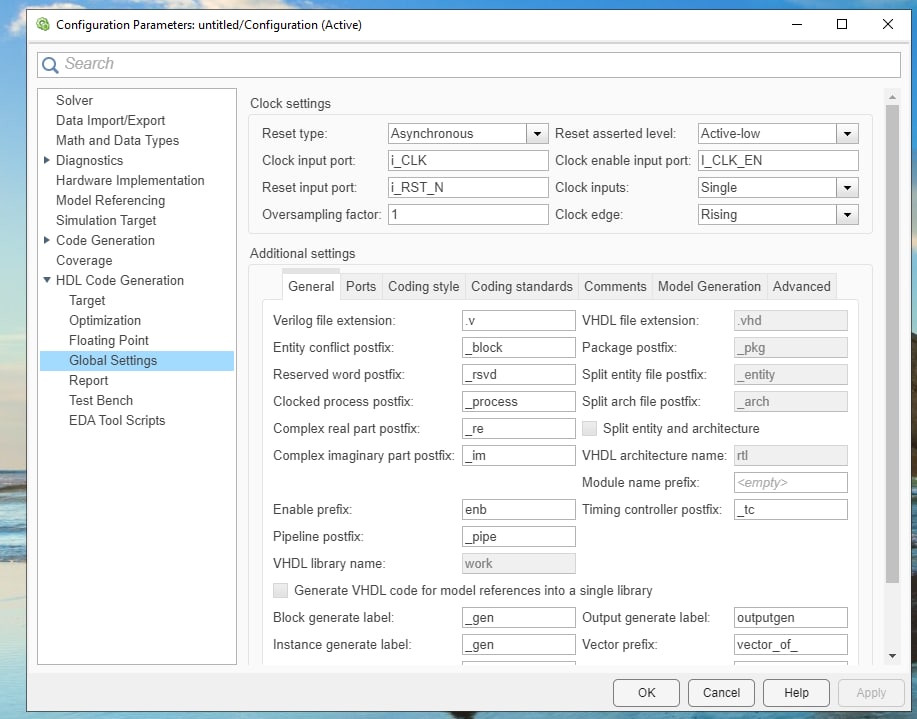
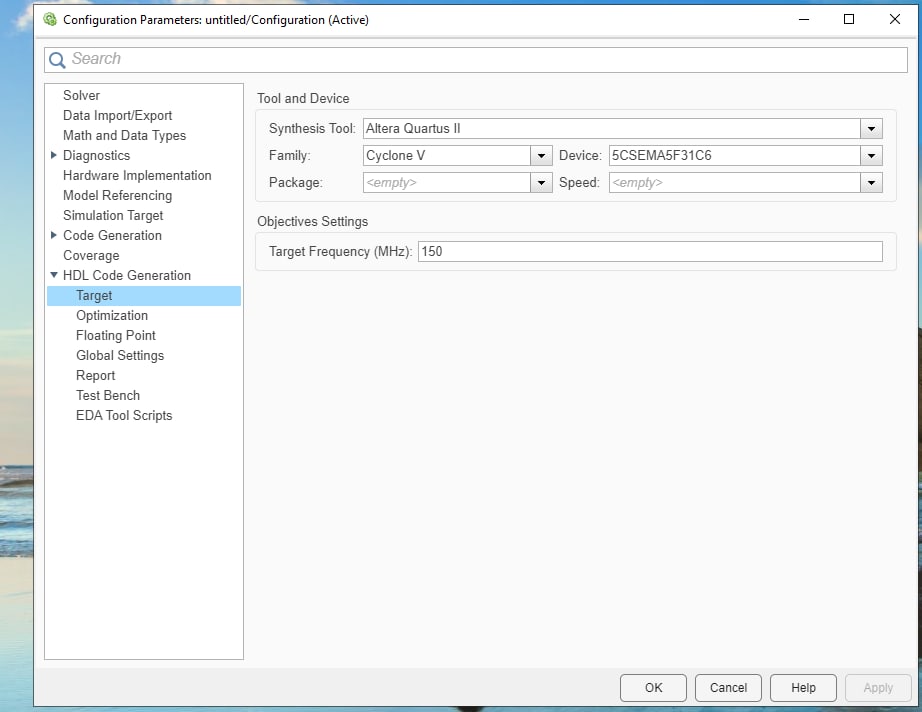
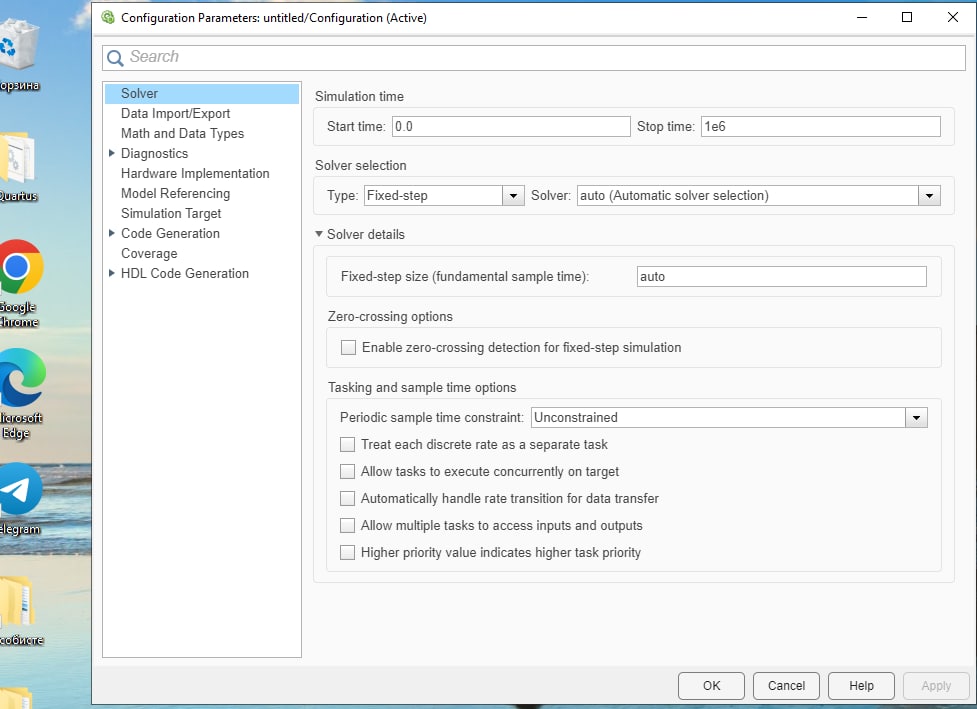
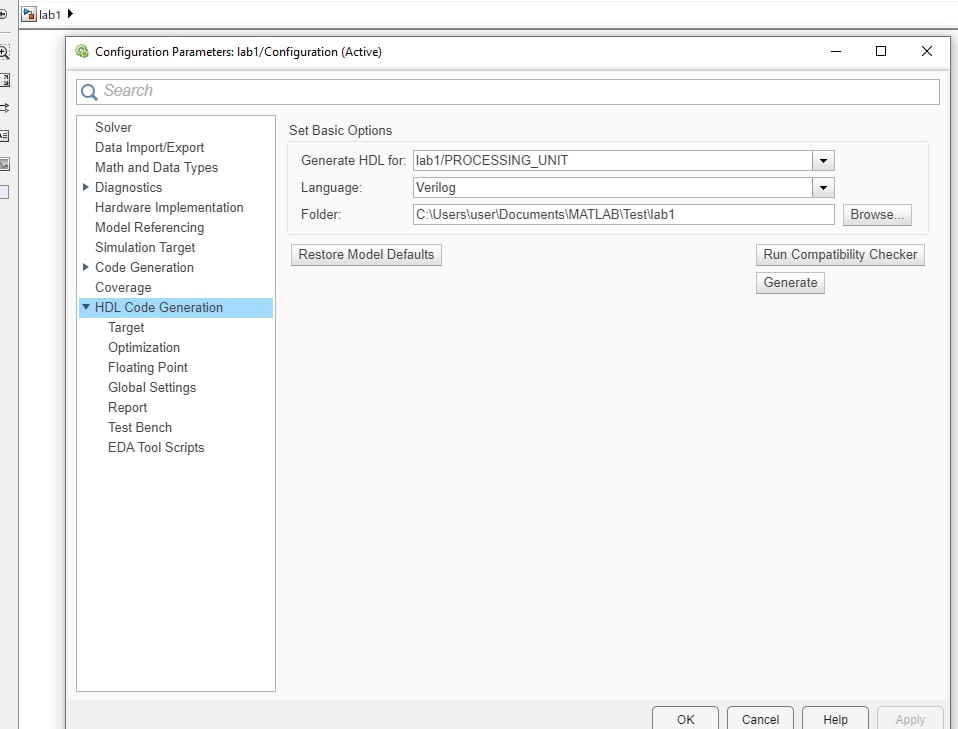
Дані для деякої перевірки

можемо зробити перевірку правильності роботи

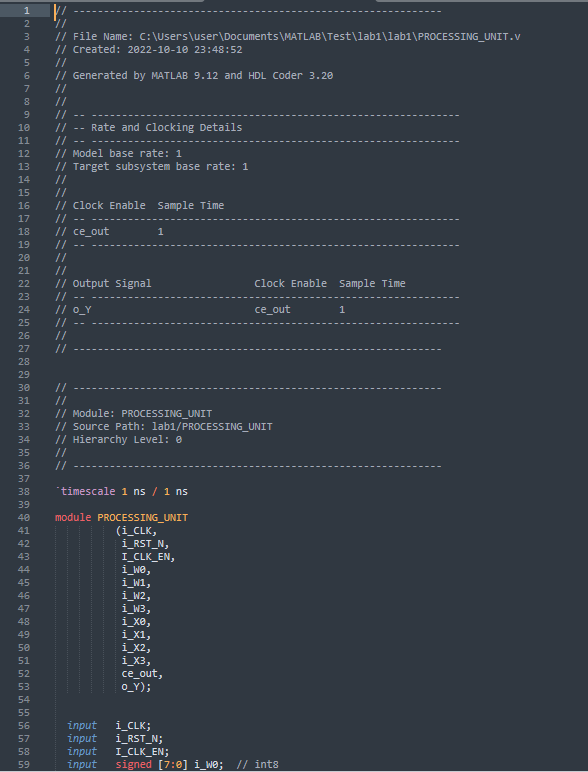
-115\*99+3\*(-39)+120\*79+(-18)\*(-59)=-960

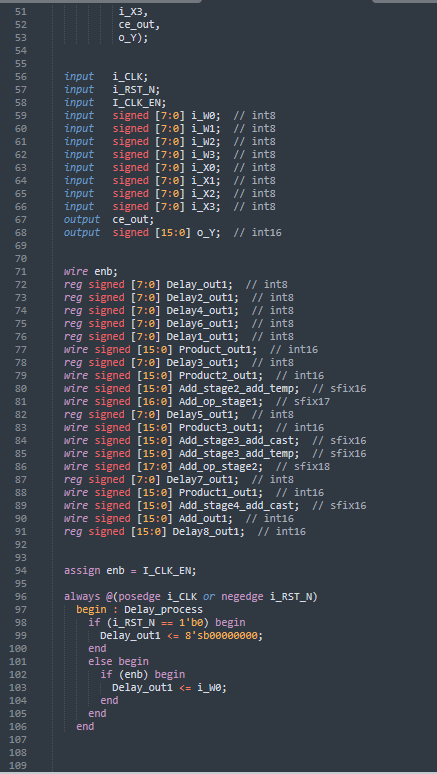
Як бачимо через те що ми поставили на виході та вході затримки то ми можемо побачити це в результаті

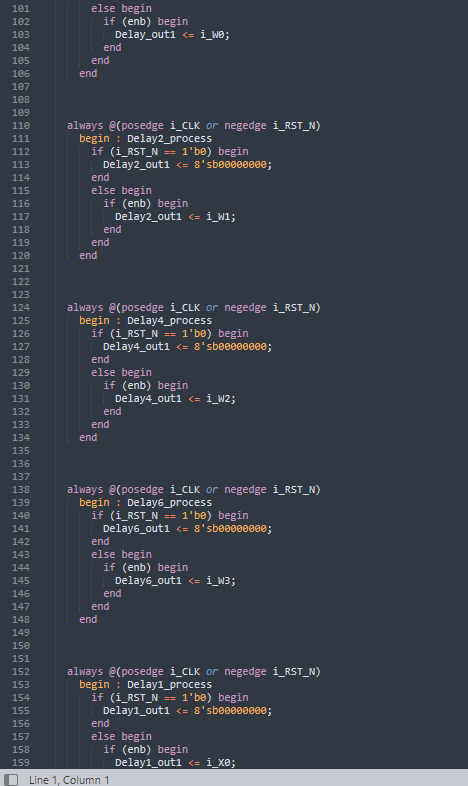
Налаштування деяких блоків

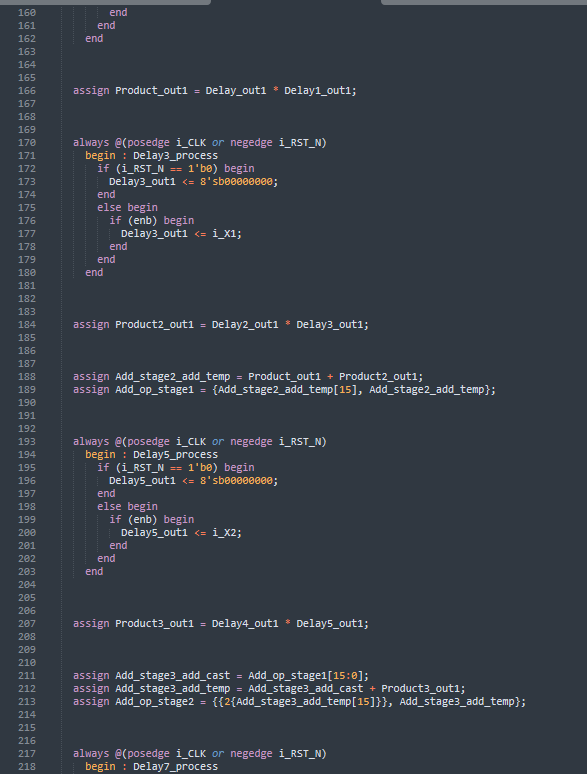
Налаштування для генерації коду

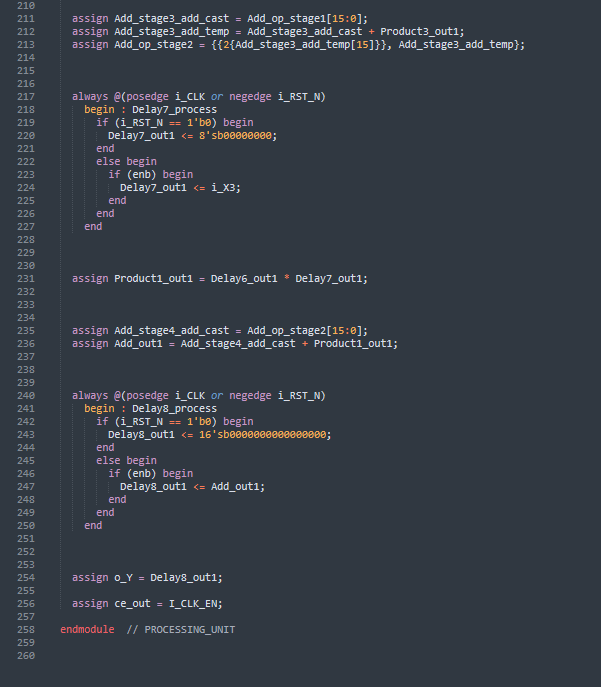
Генерація коду











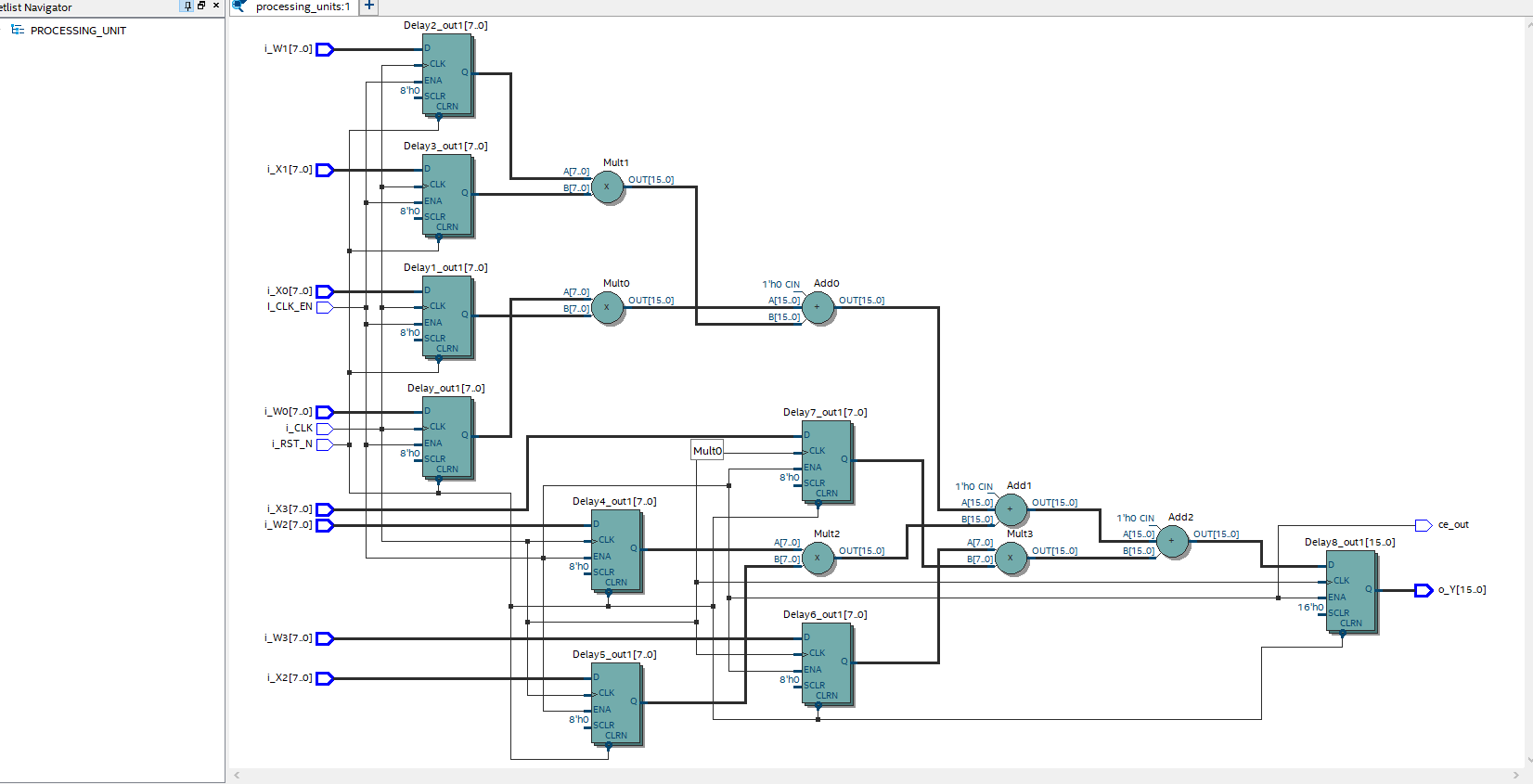
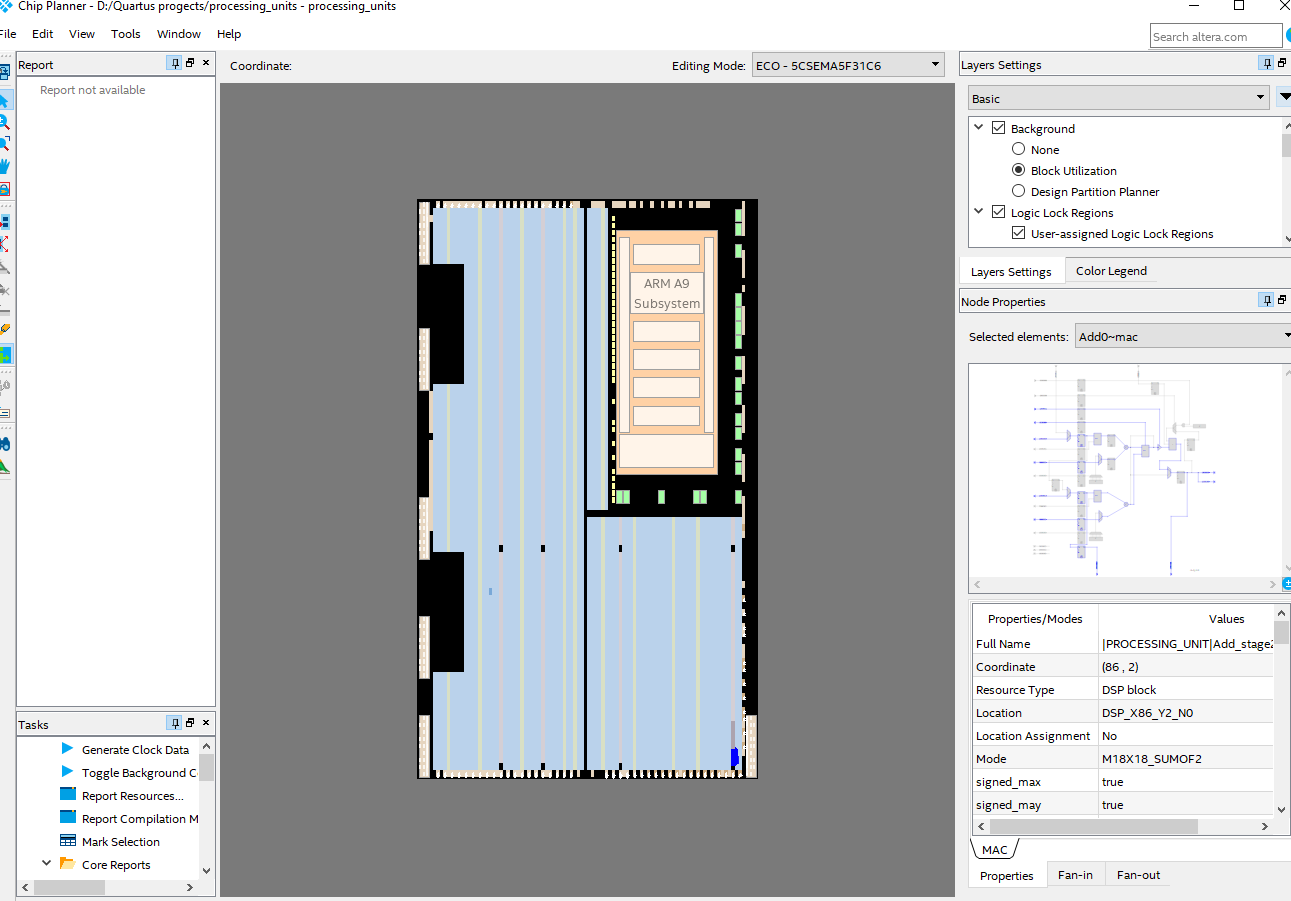
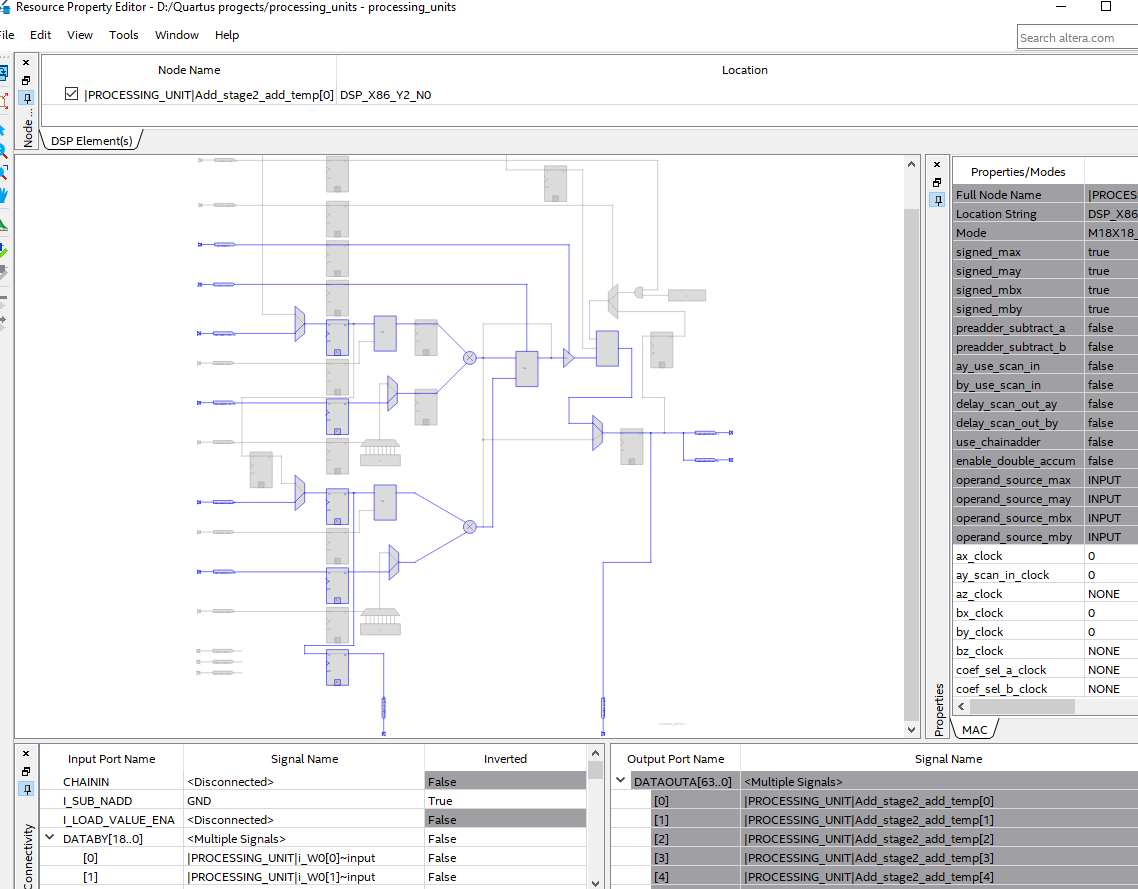


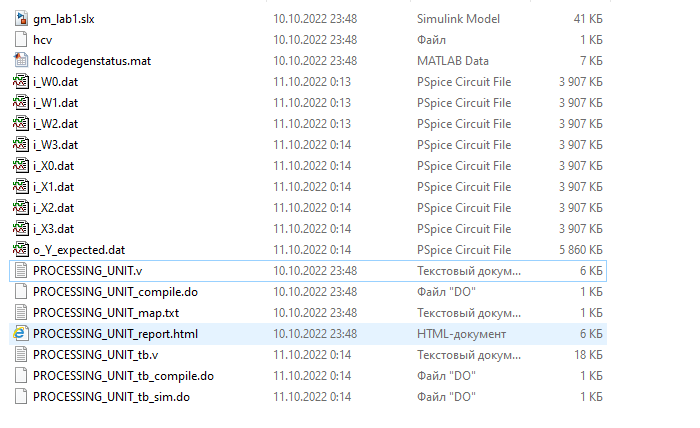
Схема синтезована квартусом



Chip planer



Частинна cхема в середині FPGA



Згенеровані файли тестбенчу

Нажаль як працювати з цими файлами ми ще не розглядали не в одному з курсів, ближче до кінця семестру будемо розглядати в курсі Автоматизія конструювання цифрових пристроїв